

## ⑫ 公開特許公報(A) 平2-204718

⑬ Int. Cl. 5

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月14日

G 02 F 1/133  
G 09 G 3/36  
H 04 N 5/665 5 0  
1 0 2 B8708-2H  
8621-5C  
7605-5C

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 液晶ディスプレイ装置

⑯ 特 願 平1-24512

⑰ 出 願 平1(1989)2月2日

⑱ 発 明 者 前 川 敏 一 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 松隈 秀盛

## 明 細 書

発明の名称 液晶ディスプレイ装置

特許請求の範囲

垂直方向に平行に配設された複数の第1の信号線と、水平方向に平行に配設された複数の第2の信号線とが設けられ、これらの第1、第2の信号線の各交点にそれぞれ選択素子を介して画素電極が設けられてなる液晶ディスプレイ装置において、

上記第1の信号線に印加される画像信号の極性を所定期間ごとに反転すると共に、

上記画像信号の極性反転のタイミングで上記第1の信号線の電位を上記画像信号の中間電位にプリチャージする手段を設けるようにしたことを特徴とする液晶ディスプレイ装置。

発明の詳細な説明

(産業上の利用分野)

本発明は、例えば液晶表示素子をX-Yマトリクス状に配置して画像の表示を行う液晶ディスプレイ装置に関する。

## 〔発明の概要〕

本発明は液晶ディスプレイ装置に関し、画像信号の供給される第1の信号線の電位を画像信号の極性反転のタイミングでその中間電位にプリチャージすることによって、画像信号を印加するスイッチング素子等の負担を軽減し、良好な画像の表示が行われるようにしたものである。

## 〔従来の技術〕

例えば液晶を用いてテレビ画像を表示することが提案(特開昭59-220793号公報等参照)されている。

すなわち第3図において、(1)はテレビの映像信号が供給される入力端子で、この入力端子(1)からの信号がそれぞれ例えばNチャンネルFETからなるスイッチング素子 $M_1, M_2, \dots, M_m$ を通じて垂直(Y軸)方向のライン $L_1, L_2, \dots, L_n$ に供給される。なおmは水平(X軸)方向の画素数に相当する数である。さらにm段のシフトレジスタ(2)が設けられ、このシフトレジスタ(2)に

水平周波数の $m$ 倍のクロック信号 $\phi_{1n}$ ,  $\phi_{2n}$ が供給され、このシフトレジスタ(2)の各出力端子からのクロック信号 $\phi_{1n}$ ,  $\phi_{2n}$ によって順次走査される駆動パルス信号 $\phi_{n1}$ ,  $\phi_{n2}$ , ...,  $\phi_{nm}$ がスイッチング素子 $M_1 \sim M_m$ の各制御端子に供給される。なおシフトレジスタ(2)には低電位( $V_{ss}$ )と高電位( $V_{DD}$ )が供給され、この2つの電位の駆動パルスが形成される。

また各ライン $L_1 \sim L_m$ にそれぞれ例えばNチャンネルFETからなるスイッチング素子 $M_{11}$ ,  $M_{21}$ , ...,  $M_{n1}$ ,  $M_{12}$ ,  $M_{22}$ , ...,  $M_{n2}$ , ...,  $M_{1n}$ ,  $M_{2n}$ , ...,  $M_{nn}$ の一端が接続される。なお $n$ は水平走査線数に相当する数である。このスイッチング素子 $M_{11} \sim M_{nn}$ の他端がそれぞれ液晶セル $C_{11}$ ,  $C_{21}$ , ...,  $C_{nn}$ を通じてターゲット端子(3)に接続される。

さらに $n$ 段のシフトレジスタ(4)が設けられ、このシフトレジスタ(4)に水平周波数のクロック信号 $\phi_{1v}$ ,  $\phi_{2v}$ が供給され、このシフトレジスタ(4)の各出力端子からのクロック信号 $\phi_{1v}$ ,  $\phi_{2v}$ によ

って順次走査される駆動パルス信号 $\phi_{v1}$ ,  $\phi_{v2}$ , ...,  $\phi_{vn}$ が、水平(X軸)方向のゲート線 $G_1$ ,  $G_2$ , ...,  $G_n$ を通じてスイッチング素子 $M_{11} \sim M_{nn}$ のX軸方向の各列( $M_{11} \sim M_{1n}$ ), ( $M_{21} \sim M_{2n}$ ), ..., ( $M_{n1} \sim M_{nn}$ )ごとの制御端子にそれぞれ供給される。なお、シフトレジスタ(4)にもシフトレジスタ(2)と同様に $V_{ss}$ と $V_{DD}$ が供給される。

すなわちこの回路において、シフトレジスタ(2), (4)には第4図A, Bに示すようなクロック信号 $\phi_{1n}$ ,  $\phi_{2n}$ ,  $\phi_{1v}$ ,  $\phi_{2v}$ が供給される。そしてシフトレジスタ(2)からは同図Cに示すように各画素期間ごとに $\phi_{n1} \sim \phi_{nm}$ が出力され、シフトレジスタ(4)からは同図Dに示すように1水平期間ごとに $\phi_{v1} \sim \phi_{vn}$ が出力される。さらに入力端子(1)には同図Eに示すような信号が供給される。

そして $\phi_{v1}$ ,  $\phi_{n1}$ が出力されているときは、スイッチング素子 $M_{11}$ と $M_{11} \sim M_{1n}$ がオンされ、入力端子(1)→ $M_{11}$ → $L_1$ → $M_{11}$ → $C_{11}$ →ターゲット端子(3)の電流路が形成されて液晶セル $C_{11}$ に入力端子(1)に供給された信号とターゲット端子(3)との

電位差が供給される。このためこのセル $C_{11}$ の容量分に、1番目の画素の信号による電位差に相当する電荷がサンプルホールドされる。この電荷量に対応して液晶の光透過率が変化される。これと同様のことがセル $C_{12} \sim C_{nn}$ について順次行われ、さらに次のフィールドの信号が供給された時点で各セル $C_{11} \sim C_{nn}$ の電荷量が書き換えられる。

このようにして、映像信号の各画素に対応して液晶セル $C_{11} \sim C_{nn}$ の光透過率が変化され、これが順次繰り返されてテレビ画像の表示が行われる。

さらに液晶で表示を行う場合には、一般にその信頼性、寿命を長くするため交流駆動が用いられる。例えばテレビ画像の表示においては、1フィールドまたは1フレームごとに映像信号を反転させた信号を入力端子(1)に供給する。また液晶ディスプレイ装置においては表示の垂直方向のシューティング等を防止する目的で信号を1水平期間ごとに反転することが行われている。すなわち入力端子(1)には第4図Eに示すように1水平期間ごとに反転されると共に1フィールドまたは1フレー

ムごとに反転された信号が供給される。

(発明が解決しようとする課題)

ところが上述の装置において、上述のように1水平期間ごとの極性反転が行われていると、例えば表示画像が全白(または全黒)の場合に、入力端子(1)に供給される映像信号は第5図Aに示すようにターゲット電圧に対して白(または黒)のレベル $V_p$ が1水平期間ごとに極性反転されたものになっている。

これに対して同図Bに示すような駆動パルス信号 $\phi_{n1} \sim \phi_{nm}$ でスイッチング素子 $M_1 \sim M_m$ がオンされると、各ライン $L_1 \sim L_m$ の電位は同図Cに示すように変化されることになり、すなわち各ライン $L_1 \sim L_m$ の電位はパルス信号 $\phi_{n1} \sim \phi_{nm}$ の1パルス期間に $2V_p$ 変化されることになる。

そしてこの場合に、パルス信号 $\phi_{n1} \sim \phi_{nm}$ の1パルス期間は、1水平期間の有効画面期間を $m$ 分の1にした極めて短い時間であり、このような短い期間に $2V_p$ の電圧変化を行うためにはスイ

チング素子 $M_1 \sim M_n$ のオン抵抗が低くしなければならず、各素子のサイズを大きくする必要があった。

しかしながらこのような素子のサイズを大きくすることは、素子をオンチップ化する場合にチップ面積が増大するだけでなく、関連する水平走査回路(シフトレジスタ(2))等の設計上の制約も厳しくするものである。

またスイッチング素子 $M_1 \sim M_n$ のサイズを不十分なものとした場合には、各ライン $L_1 \sim L_n$ の信号電位が十分に立ち上がらず、液晶セルの電荷量の書き換えが不充分になって、表示画像のコントラストが低下されるなど、画質が極めて劣化されてしまう問題点があった。

この出願はこのような点に鑑みてなされたものである。

#### (課題を解決するための手段)

本発明は、垂直方向に平行に配設された複数の第1の信号線 $L_1, L_2, \dots, L_n$ と、水平方向

に平行に配設された複数の第2の信号線 $G_1, G_2, \dots, G_n$ とが設けられ、これらの第1, 第2の信号線の各交点にそれぞれ選択素子 $M_{11}, M_{12}, \dots, M_{nn}$ を介して画素電極 $P_{11}, P_{12}, \dots, P_{nn}$ が設けられてなる液晶ディスプレイ装置において、上記第1の信号線に印加される画像信号の極性を所定期間ごとに反転すると共に、上記画像信号の極性反転のタイミング( $H_{clk}$ )で上記第1の信号線の電位を上記画像信号の中間電位(ターゲット端子(3))にプリチャージする手段 $M_{11}, M_{12}, \dots, M_{nn}$ を設けるようにしたことを特徴とする液晶ディスプレイ装置である。

#### (作用)

これによれば、信号線の電位を映像信号の反転ごとにその中間電位にプリチャージすることによって、信号の変化される幅が小さくされ、スイッチング素子にかかる負担が小さくされて、小さい素子サイズでも表示画像の画質の劣化を防止することができる。

#### (実施例)

第1図は従来例と同様の単一の液晶ディスプレイ装置の構成を示し、この図において、上述の垂直(Y軸)方向のライン $L_1 \sim L_n$ の下端部にそれぞれスイッチング素子 $M_{11}, M_{12}, \dots, M_{nn}$ が設けられ、これらの素子 $M_{11} \sim M_{nn}$ を介してターゲット端子(3)が接続されると共に、これらの素子 $M_{11} \sim M_{nn}$ の各制御端子が水平ブランキングパルス $H_{clk}$ の供給されるリセット端子(5)に接続される。他の構成は従来の技術の装置と同様にされる。

そしてこの装置において、例えば第2図Aに示すような全白(または全黒)の映像信号が入力端子(1)に供給され、同図Bに示すような駆動パルス信号 $\phi_{n1} \sim \phi_{nn}$ でスイッチング素子 $M_1 \sim M_n$ がオンされた場合に、リセット端子(5)には同図Cに示すような水平ブランキングパルス $H_{clk}$ が供給され、これによってスイッチング素子 $M_{11} \sim M_{nn}$ がオンされる。

このため各ライン $L_1 \sim L_n$ の電位は、各水平ブランキングパルス $H_{clk}$ の期間にターゲット電

圧にプリチャージされ、さらに駆動パルス信号 $\phi_{n1} \sim \phi_{nn}$ の期間にこのターゲット電圧から映像信号の電位に変化される。

従ってこの装置において、パルス信号 $\phi_{n1} \sim \phi_{nn}$ の1パルス期間に変化される信号は最大 $V_p$ となり、従来の装置の $\frac{1}{2}$ にすることができる。

このため小さい素子のサイズでも液晶セルの電荷量の書き換えを充分に行うことができ、表示画像のコントラストの低下等による画質の劣化を防止することができる。

さらに素子サイズの増大によるチップ面積の増加や、設計上の制約が生じることもない。

こうしてこの装置によれば、信号線の電位を映像信号の反転ごとにその中間電位にプリチャージすることによって、信号の変化される幅が小さくされ、スイッチング素子にかかる負担が小さくされて、小さい素子サイズでも表示画像の画質の劣化を防止することができるものである。

なお上述の装置においてスイッチング素子は図

示のようなNMOS素子に限らずPMOSあるいはCMOS素子でもよい。

またリセット端子(5)に供給される信号も水平シンクロパルスに限らず映像信号の非有効期間の信号であればいずれでもよい。

さらにプリチャージを行う電圧はターゲット電圧に限らず、映像信号の任意の中間電位を用いることができる。

#### 〔発明の効果〕

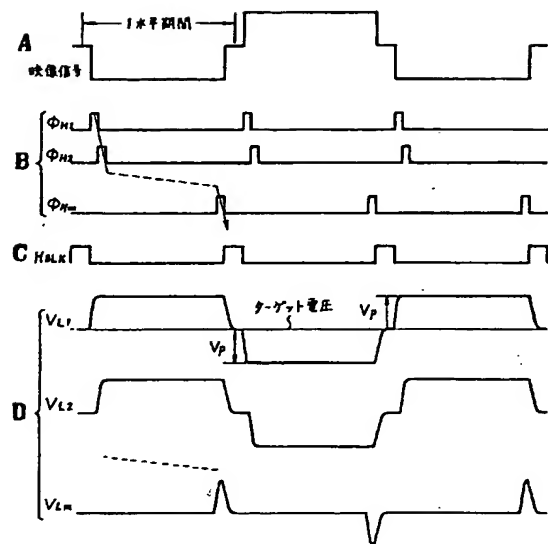
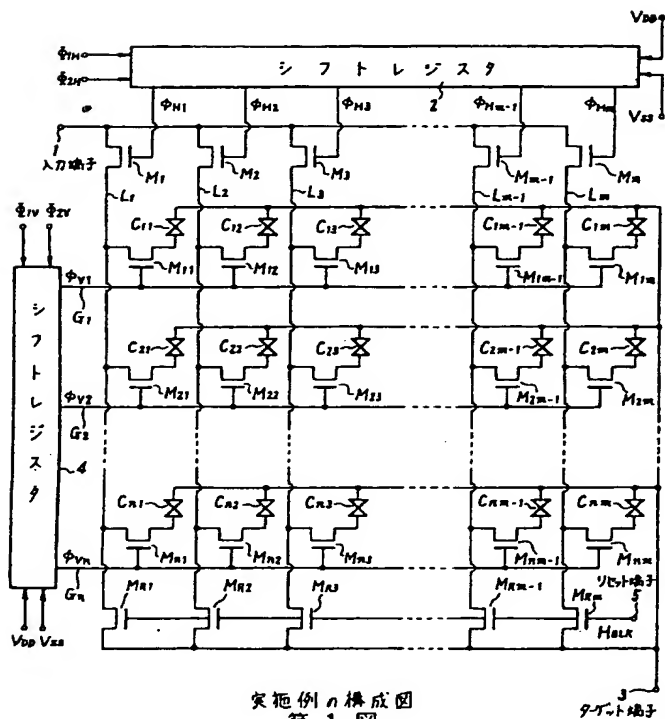
この発明によれば、信号線の電位を映像信号の反転ごとにその中間電位にプリチャージすることによって、信号の変化される幅が小さくされ、スイッチング素子にかかる負担が小さくされて、小さい素子サイズでも表示画像の画質の劣化を防止することができるようになった。

#### 図面の簡単な説明

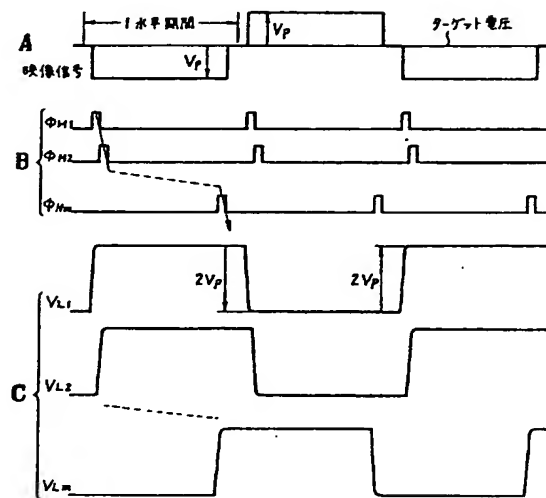
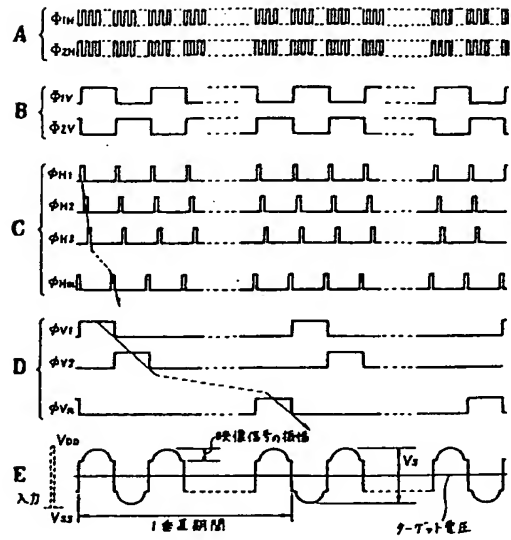
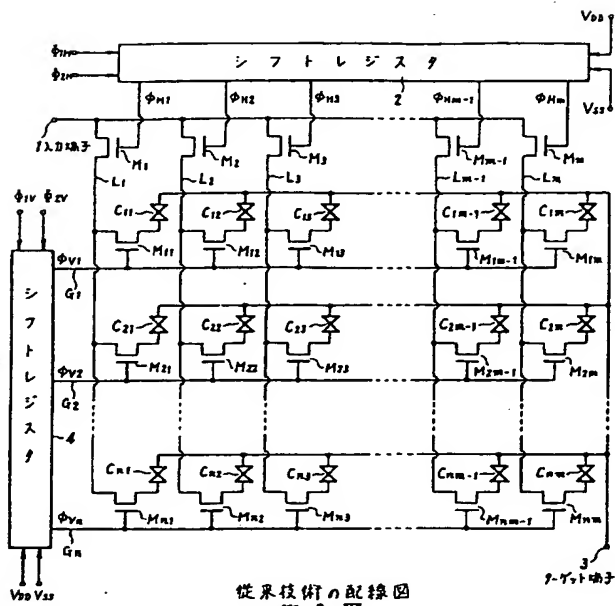
第1図は本発明の一例の構成図、第2図はその説明のため図、第3図～第5図は従来の装置の説明のための図である。

$L_1 \sim L_m$  は垂直信号線、 $C_1 \sim C_n$  はゲート線、 $M_1 \sim M_m$ ,  $M_{n1} \sim M_{nm}$ ,  $M_{11} \sim M_{nm}$  はスイッチング素子、 $C_{11} \sim C_{nm}$  は液晶セル、(1)は入力端子、(2)(4)はシフトレジスタ、(3)はターゲット端子、(5)はリセット端子である。

代理人 松隈秀盛



波形図  
第2図



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-204718

(43)Date of publication of application : 14.08.1990

(51)Int.Cl.

G02F 1/133

G09G 3/36

H04N 5/66

(21)Application number : 01-024512

(71)Applicant : SONY CORP

(22)Date of filing : 02.02.1989

(72)Inventor : MAEKAWA TOSHIICHI

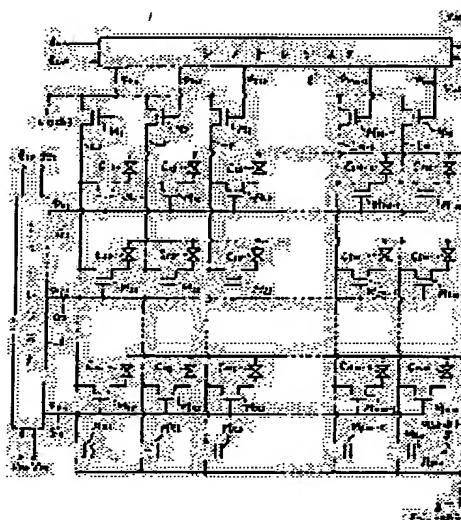
## (54) LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

**PURPOSE:** To reduce the load of a switching element for impressing an image signal and to prevent the picture quality of a display image from being deteriorated even in case of small element size by precharging the potential of a signal line to its intermediate potential in each inversion of a video signal.

**CONSTITUTION:** Vertical lines L1 to Lm are connected to a target terminal 3 through a switching elements MR1 to MRm and respective control terminals of these elements are connected to a reset terminal 5 to which a horizontal blanking pulse HBLK is supplied. When a video signal is supplied to an input terminal 1 and switching elements M1 to Mm are turned on by driving pulse signals  $\phi_{H1}$  to  $\phi_{Hm}$ , a horizontal blanking pulse HBLK is supplied to the reset terminal 5, so that the switching elements MR1 to MRm are turned on.

Consequently, the potential of respective lines L1 to Lm is precharged to a target voltage during the period of respective horizontal blanking pulses HBLK and then changed from the target voltage to the potential of the video signal during the period of the driving pulse signals  $\phi_{H1}$  to  $\phi_{Hm}$ .



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office